

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-268704

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.⁵

H 0 4 L 27/38

27/22

識別記号

庁内整理番号

F I

技術表示箇所

Z 9297-5K

9297-5K

H 0 4 L 27/ 00

G

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21)出願番号

特願平5-49603

(22)出願日

平成5年(1993)3月10日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 高尾 俊明

東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 岡田 隆

東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 中村 博幸

東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

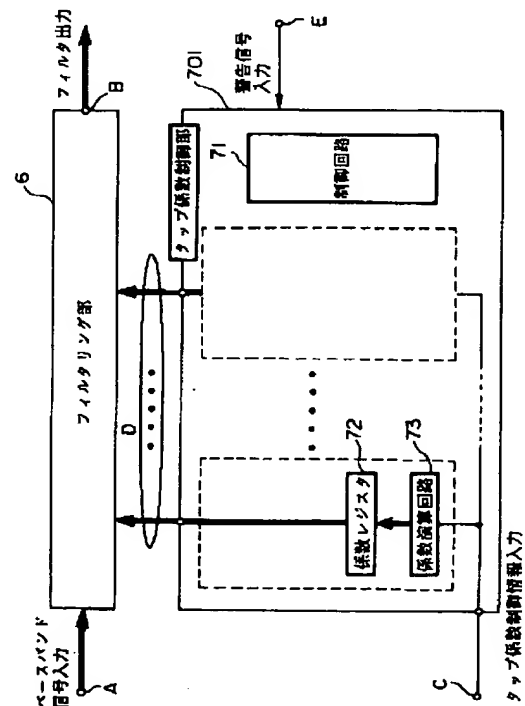
(74)代理人 弁理士 志賀 正武

(54)【発明の名称】 デジタル処理型タイミング補償回路

(57)【要約】

【目的】 タップ係数が発散するような悪条件下でもタップ係数を発散させることなく、しかも、正確にタイミング補償を行うことができるデジタル処理型タイミング補償回路を提供する。

【構成】 復調されたデジタル信号のタイミング補償をフィルタリング部(6)が行うフィルタ処理により行うタイミング補償回路において、常時は係数演算回路73により発生されるタップ係数によるフィルタ処理を行い、タップ係数発散の警告信号が発生された場合には、警告信号発生直前に係数レジスタ(72)によって保持されたタップ係数によるフィルタ処理を行うようにした。



1

【特許請求の範囲】

【請求項1】 ベースバンド信号のサンプルタイミングの位相ずれを、デジタル信号処理により補償する回路において、

タップ係数を発生するタップ係数発生手段と、
前記ベースバンド信号に対し前記タップ係数に基づくフィルタ処理を施しタイミング補償を行うフィルタ処理手段と、

タップ係数発散の警告信号が入力されることにより前記タップ係数を保持する保持手段とを具備することを特徴とするデジタル処理型タイミング補償回路。

【請求項2】 ベースバンド信号のサンプルタイミングの位相ずれを、デジタル信号処理により補償する回路において、

タップ係数を発生するタップ係数発生手段と、
前記ベースバンド信号に対し前記タップ係数に基づくフィルタ処理を施しタイミング補償を行うフィルタ処理手段と、

タップ係数発散の警告信号が入力された場合に、前記タップ係数を予め決定された固定のタップ係数に初期化する手段とを具備することを特徴とするデジタル処理型タイミング補償回路。

【請求項3】 ベースバンド信号のサンプルタイミングの位相ずれを、デジタル信号処理により補償する回路において、

タップ係数を発生するタップ係数発生手段と、
係数記憶指示信号が入力されることにより前記タップ係数を記憶する記憶手段と、

常時は前記タップ係数発生手段が発生するタップ係数を出力し、タップ係数発散の警告信号が入力された場合には該記憶手段に記憶されたタップ係数を出力する選択手段と、

前記ベースバンド信号に対し前記選択手段を介して出力されるタップ係数に基づくフィルタ処理を施しタイミング補償を行うフィルタ処理手段とを具備することを特徴とするタイミング補償回路。

【請求項4】 ベースバンド信号のサンプルタイミングの位相ずれを、デジタル信号処理により補償する回路において、

タップ係数を発生するタップ係数発生手段と、
タップ係数発散の警告信号が入力されることにより前記タップ係数発生手段が発生するタップ係数を保持する保持手段と、

固定のタップ係数を予め記憶した固定タップ係数記憶手段と、

常時は前記タップ係数発生手段により発生されて前記保持手段を介し出力されるタップ係数を出力し、前記警告信号が入力された場合には、外部から入力されるモード選択信号に基づき前記保持手段に保持されたタップ係数または前記固定のタップ係数のいずれかを出力する選択

2

手段と前記ベースバンド信号に対し前記選択手段を介して出力されるタップ係数に基づくフィルタ処理を施しタイミング補償を行うフィルタ処理手段とを具備することを特徴とするデジタル処理型タイミング補償回路。

【請求項5】 ベースバンド信号のサンプルタイミングの位相ずれを、デジタル信号処理により補償する回路において、

タップ係数を発生するタップ係数発生手段と、
固定のタップ係数を予め記憶した固定タップ係数記憶手段と、

係数記憶指示信号が入力されることにより前記タップ係数発生手段が発生するタップ係数を記憶する記憶手段と、

常時は前記タップ係数発生手段が発生するタップ係数を出力し、タップ係数発散の警告信号が入力された場合には、外部から入力されるモード選択信号に基づき前記固定のタップ係数または前記記憶手段に記憶されたタップ係数のいずれかを出力する選択手段と前記ベースバンド信号に対し前記選択手段を介して出力されるタップ係数に基づくフィルタ処理を施しタイミング補償を行うフィルタ処理手段とを具備することを特徴とするデジタル処理型タイミング補償回路。

【請求項6】 ベースバンド信号のサンプルタイミングの位相ずれを、デジタル信号処理により補償する回路において、

タップ係数を発生するタップ係数発生手段と、
係数記憶指示信号が入力されることにより前記タップ係数発生手段が発生するタップ係数を記憶する記憶手段と、

タップ係数発散の警告信号が入力されることにより前記タップ係数発生手段が発生するタップ係数を保持する保持手段と、

常時は前記タップ係数発生手段により発生されて前記保持手段を介し出力されるタップ係数を出力し、前記警告信号が入力された場合には、外部から入力されるモード選択信号に基づき前記記憶手段に記憶されたタップ係数または前記保持手段に保持されたタップ係数のいずれかを出力する選択手段と前記ベースバンド信号に対し前記選択手段を介して出力されるタップ係数に基づくフィルタ処理を施しタイミング補償を行うフィルタ処理手段とを具備することを特徴とするデジタル処理型タイミング補償回路。

【請求項7】 ベースバンド信号のサンプルタイミングの位相ずれを、デジタル信号処理により補償する回路において、

タップ係数を発生するタップ係数発生手段と、
タップ係数発散の警告信号が入力されることにより前記タップ係数発生手段が発生するタップ係数を保持する保持手段と、

固定のタップ係数を予め記憶した固定タップ係数記憶手

段と、

係数記憶指示信号が入力されることにより前記タップ係数発生手段が発生するタップ係数を記憶する記憶手段と、

常時は前記タップ係数発生手段により発生されて前記保持手段を介し出力されるタップ係数を出力し、前記警告信号が入力された場合には、外部から入力されるモード選択信号に基づき前記保持手段に保持されたタップ係数、前記固定のタップ係数または前記記憶手段に記憶されたタップ係数のいずれかを出力する選択手段と前記ベースバンド信号に対し前記選択手段を介して出力されるタップ係数に基づくフィルタ処理を施しタイミング補償を行うフィルタ処理手段とを具備することを特徴とするデジタル処理型タイミング補償回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、位相変調または直交振幅変調された信号の復調を行う復調器に好適なデジタル処理型タイミング補償回路に関する。

【0002】

【従来の技術】図8は直交変調された変調波信号を復調する一般的な復調器の構成を示すものである。この図において、入力端Hには復調すべき変調波信号が入力され、入力端Iには変調波信号から検出されたキャリア信号が入力される。2個の検波器1a、1bおよび移相器2は直交検波器を構成しており、検波器1aには変調波信号とキャリア信号とが入力され、検波器1bには変調波信号とキャリア信号を移相器2によって $\pi/2$ だけ位相をシフトした信号とが入力される。変調波信号は検波器1aおよび1bにより各々検波され、各検波出力はローパスフィルタ3aおよび3bを介することによって高周波成分が除去され、アナログベースバンド信号として各々出力される。ローパスフィルタ3aおよび3bの各出力端はA/D変換器4aおよび4bに接続されており、各アナログベースバンド信号は、これらのA/D変換器によりクロック発振器5から出力される一定周期のサンプリングクロックに従ってデジタルベースバンド信号に変換される。

【0003】さて、この種の復調器においては、良好な特性を得るためには、検波により得られたアナログベースバンド信号をサンプリングしてデジタル信号に変換する際、アイアパーチャが最大となるタイミングでサンプリングを行う必要がある。しかし、伝送路の特性変化やサンプリングクロックのジッタがあるため、アナログベースバンド信号を常に最適なタイミングからずれないようにサンプリングすることは一般的に困難であり、サンプリングタイミングのずれをサンプリング後において補償する回路が必要となる。図8に示す復調器においては、このようなタイミングずれの補償を行うためのタイミング補償回路がA/D変換器4aおよび4bの後段に

介挿されている。以下、その構成を説明する。

【0004】A/D変換器4aおよび4bの各出力端はタイミング補償回路の入力端AおよびA'に各々接続されており、各A/D変換器により得られた各デジタル信号はタイミング補償回路内のD、F部（デジタルフィルタ部）600aおよび600bにより各々タイミング補償されて出力される。各DF部は同一の構成を有しており、乗算器、加算器、遅延器から構成されフィルタとして動作するフィルタリング部6と、フィルタリング部6が行うフィルタ演算に使用するタップ係数Dの最適制御を行なうタップ係数制御部7からなる。タイミング抽出部8aおよび8bは、各D、F部600aおよび600bの各出力信号を検出し、各出力信号の理想的な状態からのずれを表す誤差情報を出力する。各D、F部内のタップ係数制御部7は、タイミング抽出部8aまたは8bから得られる誤差情報を基に、タップ係数の最適制御を行う。D、F部の役割を果すものとして、一般にFIR（有限インパルス応答）型インターポレーションフィルタやトランスバーサル型自動等化器が用いられている。

【0005】図9に上記D、F部として用いられる従来のFIR型インターポレーションフィルタの構成を示す。この種のFIR型インターポレーションフィルタをタイミング補償回路として使用する場合、タイミング補償回路の出力信号の位相の理想的状態からのずれをタイミング抽出部8aおよび8bにより検出し、このずれを誤差情報としてタイミング補償回路へ供給するように構成する。図9において、タップ係数制御部7の入力端Cには、上記誤差情報がタップ係数制御情報として入力される。ROM74にはタップ係数制御情報（誤差情報）の各値（タイミングずれ量）に対応した最適なタップ係数、すなわち、当該誤差情報に対応した出力タイミングのずれを補償し得る位相遅延がベースバンド信号に付与されるようにこのFIR型インターポレーションフィルタの特性を設定するためのタップ係数が各々記憶されており、入力端Cを介して外部から入力されるタップ係数制御情報に対応したタップ係数をフィルタリング部6内の乗算器へと出力する。フィルタリング部6ではROM74から得られるタップ係数を用いて、上記A/D変換器4aまたは4bから入力端子Aを介して入力されるベースバンド信号のタイミング補償を行う。

【0006】図10に上記D、F部として用いられる従来のトランスバーサル型自動等化器の構成を示す。この種のトランスバーサル型自動等化器をタイミング補償回路として用いる場合、例えばタイミング補償回路を介した出力信号の正常な値からのずれ、すなわち、4値データ伝送の場合には出力信号の値の4値の中の1つからのずれを誤差情報としてタイミング補償回路へ供給するようにする。図10に示すトランスバーサル型自動等化器においては、図9におけるROM74の代わりに係数

5

演算回路 7 3 が設けられている。この回路では外部から入力端 C を介し入力されるタップ係数制御情報（誤差情報）を基に適応アルゴリズムを用いて最適なタップ係数を計算し、その値をフィルタリング部 6 内の乗算器へと出力する。フィルタリング部 6 では、係数演算回路 7 3 から得られるタップ係数を用いて、入力端 A から入力されたベースバンド信号のタイミング補償を行う。このような動作が行われることにより、常に正常な値の出力信号がタイミング補償回路から得られるように適応化がなされる。

【0007】

【発明が解決しようとする課題】ところで、上述の FIR 型インターポレーションフィルタは、フィルタとして正常に動作するタップ係数が予め決定されているため、収束性、安定性に優れている。しかし、伝送路の特性変化に起因したベースバンド入力信号の変化を予め想定し、この変化を考慮した最適なタップ係数をあらかじめ準備することは一般的に不可能である。よって、伝送路の特性変化によりベースバンド入力信号が最適な信号点からずれたとき、正確なタイミング補償ができず、急激に符号間干渉特性が悪化する。故に、超多値変調方式のタイミング補償回路に FIR 型インターポレーションフィルタを用いることは困難である。

【0008】一方、トランスバーサル型自動等化器では、タップ係数制御情報を基に個々のタップについて最適な係数を計算している。このため、伝送路の特性変化が発生しても正確なタイミング補償が行え、良好な符号間干渉特性を得ることができる。しかし、トランスバーサル型自動等化器を用いた構成においては、フィルタ出力を観測しながらタップ係数を更新するので、タップ係数の収束性、安定性が悪化する。この理由から、図 8 におけるタイミング補償回路としてトランスバーサル型自動等化器を用いると、タイミングずれ以外の外的要因、例えば位相回転が発生しベースバンド入力信号が最適な信号点から大きくずれた場合、正確な制御情報を抽出することが困難となり、タップ係数の制御が発散するという欠点がある。

【0009】この発明は上述した事情に鑑みてなされたものであり、タップ係数が発散するような悪条件下でもタップ係数が発散させることなく、しかも、正確にタイミング補償を行うことができるディジタル処理型タイミング補償回路を提供することを目的とするものである。

【0010】

【課題を解決するための手段】本発明では上記の問題点を解決するため、本発明に係るディジタル処理型タイミング補償回路は、例えば、伝送路のビットエラーレートが悪化し一定値を越えたときに外部の回路により発生される警告信号をタップ係数発散の警告信号として取り込み、この警告信号を取り込んだ場合にタップ係数の更新を停止する機能を有し、この機能に加えてタップ係数の

6

更新を停止した後、1) 更新停止直前のタップ係数を用いてタイミング補償を行う機能、2) タップ係数を予め決められた値に初期化し、その値を用いてタイミング補償を行う機能、3) 通常の等化器として動作している間に外部からの指示により記憶しておいたタップ係数を再び読み出し、この値を用いてタイミング補償を行う機能の 3 つの機能のうちいずれか 1 つ、あるいは複数の機能を有し、複数の機能を有する場合はさらにこれらの機能を外部からの信号により自由に選択できる機能を有することを特徴とする。

【0011】

【作用】本発明によれば、例えば、伝送路のビットエラーレートが悪化することで外部からタップ係数発散の警告信号が入力されたとき、係数演算回路の動作を止めることでただちにタップ係数の更新が停止される。そして、次の 1) ~ 3) の動作のうち設計時、あるいは外部から入力される選択信号により決められる動作が行われる。

1) 警告信号が入力される直前のタップ係数を係数レジスタに保持しておき、この係数レジスタの出力と各タップに配置してある乗算器を接続する。

2) タップ係数の初期値が予め記憶された ROM の出力端と各タップに配置してある乗算器とを接続する。

3) 通常の等化器として動作している間にタップ係数を RAM に記憶しておき、この RAM の出力と各タップに配置してある乗算器を接続する。これにより、各タップの乗算器では係数レジスタか ROM あるいは RAM に記憶されているタップ係数とベースバンド信号との乗算が行われる。これは、すなわち、係数レジスタか ROM あるいは RAM に記憶されているタップ係数を用いてタイミング補償が行われるということである。

警告信号が解除されると、係数演算回路の出力が各タップの乗算器に接続され、通常の等化器としてタイミング補償を再開する。よって、この機能により外部から警告信号が入力された時には、一定値のタップ係数でタイミング補償を行い、タップ係数の発散を防止することができる。

【0012】

【実施例】以下、図面を参照し本発明の実施例について説明する。

【0013】（実施例 1）請求項 1 に係る発明の実施例を図 1 に示す。本実施例によるタイミング補償回路は、図 8 に示す D、F、部と同様、ベースバンド信号を出力する A/D 変換器の後段に介挿されるものであり、図 1 に示すようにタップ係数制御部 7 0 1 およびフィルタリング部 6 によって構成されている。なお、図 1 には 1 チャネル分のタイミング補償に係る構成のみが示されているが、本実施例を図 8 に示す構成に適用する場合には図 1 に示す構成の回路を 1 - c h および Q - c h の各チャネルに対応して設ける。図 1 においてタップ係数制御部

7

報は入力端子Cから係数演算回路73へ入力される。係数演算回路73の出力端は係数レジスタ72のデータ入力端に接続されている。係数レジスタ72の出力端はフィルタリング部6内の乗算器の入力端に接続されている。フィルタリング部6は、入力端子Aを介しベースバンド信号が入力され、タイミング補償された信号を出力端子Bへ出力する。また、警告信号が入力端子Eから制御回路71へ入力され、この制御回路71から出力される信号により係数レジスタ72と係数演算回路73とが制御される。以上、説明した構成に加え、上記警告信号を発生するための回路を設ける。この回路は、例えば、伝送路のビットエラーレートが悪化し一定値を越えたときにタップ係数発散の警告信号を発生するように構成する。

【0014】このような構成において、通常の状態、すなわち、入力端子Eから警告信号が入力されていない状態では、係数演算回路73は入力端子Cから入力されるタップ係数制御情報を基に適応アルゴリズムを用いて最適なタップ係数を計算し、係数レジスタ72へ書き込む。フィルタリング部6では、係数演算回路73で逐次計算され、係数レジスタ72に書き込まれるタップ係数を用いてタイミング補償を行う。一方、警告信号が入力端子Eから入力された場合、係数演算回路73は直ちに動作を停止し、係数レジスタ72は警告信号入力直前のタップ係数を保持する。そして、警告信号により係数演算回路73の動作が停止している間、フィルタリング部6では、係数レジスタ72へ書き込まれているタップ係数を用いて、タイミング補償を行う。その後、警告信号が解除されると、本タイミング補償回路は通常の等化器としてタイミング補償を行う。

【0015】（実施例2）図2に請求項2に係る発明の実施例を示す。本実施例は図1に示す実施例におけるタップ係数制御部701に変更を加えたタップ係数制御部702を使用するものである。このタップ係数制御部702において、タップ係数制御情報は入力端子Cから係数演算回路73へ入力される。この係数演算回路73とROM74の各出力端はセクタ76の各入力端に接続されている。セクタ76の出力端はフィルタリング部6内の乗算器の入力端に接続されている。フィルタリング部6は、ベースバンド信号が入力端子Aから入力され、タイミング補償された信号を出力端子Bへ出力する。また、警告信号は入力端子Eから制御回路71へ入力され、この制御回路71から出力される信号により係数演算回路73、ROM74及びセクタ76が制御される。

【0016】このような構成において、警告信号が入力端子Eから入力されていない状態では、係数演算回路73はタップ係数制御情報を基に適応アルゴリズムを用いて最適なタップ係数を計算する。また、セクタ76は係数演算回路73の出力信号を選択してフィルタリング

8

部6の乗算器へ供給し、フィルタリング部6では、係数演算回路73により逐次計算されセクタ76を介して供給されるタップ係数を用いてタイミング補償が行われる。一方、警告信号が入力された場合、係数演算回路73は直ちに動作を停止し、セクタ76はROM74の出力を選択してフィルタリング部6の乗算器に供給する。よって、フィルタリング部6ではROM74に予め記憶されたタップ係数を用いてタイミング補償が行われる。その後、警告信号が解除されると、本タイミング補償回路は通常の等化器としてタイミング補償を行う。

【0017】（実施例3）図3に請求項3に係る発明の実施例を示す。本実施例は図1に示す実施例におけるタップ係数制御部701に変更を加えたタップ係数制御部703を使用するものである。このタップ係数制御部703において、タップ係数制御情報は入力端子Cから係数演算回路73へ入力される。係数演算回路73の出力端とRAM75の入出力端はセクタ76に接続されている。このセクタ76の出力端はフィルタリング部6内の乗算器の入力端に接続されている。フィルタリング部6は、ベースバンド信号が入力端子Aから入力され、タイミング補償された信号を出力端子Bへ出力する。また、入力端子EおよびGから警告信号と係数記憶指示信号とが入力され、制御回路71はこれらの入力信号に基づき制御信号を発生し、この制御信号により係数演算回路73、RAM75及びセクタ76を制御する。

【0018】このような構成において、警告信号が入力されていない状態では、係数演算回路73はタップ係数制御情報を基に適応アルゴリズムを用いて最適なタップ係数を計算する。また、セクタ76は係数演算回路73の出力信号を選択してフィルタリング部6内の乗算器へ供給し、フィルタリング部6では、係数演算回路73により逐次計算されたタップ係数を用いてタイミング補償を行う。ただし、係数記憶指示信号が入力端子Gから入力された場合、セクタ76は係数演算回路73の出力とフィルタリング部6を接続すると同時にRAM75も接続し、係数演算回路73で計算された値をRAM75に記憶する。一方、警告信号が入力された場合、係数演算回路73は直ちに動作を停止し、セクタ76はRAM75の出力をフィルタリング部6内の乗算器に接続する。よって、フィルタリング部6では、RAM75に記憶されたタップ係数を用いてタイミング補償を行なう。その後、警告信号が解除されると、本タイミング補償回路は通常の等化器としてタイミング補償を行なう。

【0019】（実施例4）図4に請求項4に係る発明の実施例を示す。本実施例は図1に示す実施例におけるタップ係数制御部701に変更を加えたタップ係数制御部704を使用するものである。このタップ係数制御部704において、タップ係数制御情報は入力端子Cから係数演算回路73へ入力される。係数演算回路73の出力は係数レジスタ72へ接続されている。係数レジスタ7

2の出力とROM74の出力はセクタ76に接続されている。セクタ76の出力はフィルタリング部6内の乗算器に接続されている。フィルタリング部6は、ベースバンド信号が入力端子Aから入力され、タイミング補償された信号を出力端子Bへ出力する。また、警告信号およびモード選択信号が入力端子EおよびFから制御回路71へ入力され、この結果、制御回路71から出力される信号により係数レジスタ72、係数演算回路73、ROM74、及びセクタ76が制御される。

【0020】このような構成において、警告信号が入力されていない状態では、係数演算回路73はタップ係数制御情報を基に適応アルゴリズムを用いて最適なタップ係数を計算し、係数レジスタ72へ書き込む。また、セクタ76は係数レジスタ72の出力とフィルタリング部6内の乗算器を接続する。よって、フィルタリング部6では、係数乗算回路73で逐次計算され、係数レジスタ72へ書き込まれるタップ係数を用いてタイミング補償を行う。一方、警告信号が入力された場合、係数演算回路73はただちに動作を停止する。この後、モード選択信号の値により、次の2つのうちのいずれかの動作を行う。

- 1) 係数レジスタ72は警告信号入力直前のタップ係数を保持し、セクタ76はそのままの状態を維持する。
- 2) セクタ76はROM74の出力をフィルタリング部6内の乗算器へ接続する。

さらに、フィルタリング部6では、係数レジスタ72またはROM74に記憶されているタップ係数を用いてタイミング補償を行なう。その後、警告信号が解除されれば、本発明は通常の等化器としてタイミング補償を行なう。

【0021】（実施例5）図5に請求項5に係る発明の実施例を示す。本実施例は図1に示す実施例におけるタップ係数制御部701に変更を加えたタップ係数制御部705を使用するものである。このタップ係数制御部705において、タップ係数制御部7においてタップ係数制御情報は入力端子Cから係数演算回路73へ入力される。係数演算回路73の出力とROM74の出力、RAM75の入出力はセクタ76に接続されている。セクタ76は出力フィルタリング部6内の乗算器に接続されている。フィルタリング部6にはベースバンド信号が入力端Aから入力され、タイミング補償された信号を出力端Bへ出力する。また、警告信号、モード選択信号及び係数記憶指示信号が入力端E、FおよびGから制御回路71へ入力され、この結果、制御回路71から出力される信号により係数演算回路73、ROM74、RAM75及びセクタ76が制御される。

【0022】このような構成において、警告信号が入力されていない状態では、係数演算回路73はタップ係数制御情報を基に適応アルゴリズムを用いて最適なタップ係数を計算する。また、セクタ76は係数演算回路7

3の出力とフィルタリング部6の乗算器を接続するので、フィルタリング部6において、係数演算回路73で逐次計算されたタップ係数を用いてタイミング補償を行う。ただし、モード選択信号によりタップ係数を記憶するモードが指定され、係数記憶指示信号が入力された場合、セクタ76は係数演算回路73の出力とフィルタ部6を接続すると同時にRAM75も接続し、係数演算回路73で計算された値をRAM75に記憶する。一方、警告信号が入力された場合、係数演算回路73はただちに動作を停止する。この後、モード選択信号の値により、次の2つのうちのいずれかの動作を行なう。

- 1) セクタ76はROM74の出力をフィルタリング部6内の乗算器に接続する。
- 2) セクタ76はRAM75の出力をフィルタリング部6内の乗算器に接続する。

さらに、フィルタリング部6では、ROM74からRAM75のうちのいずれかに記憶されたタップ係数を用いてタイミング補償を行なう。その後、警告信号が解消されれば、本タイミング補償回路は通常の等化器としてタイミング補償を行う。

【0023】（実施例6）図6に請求項6の実施例を示す。本実施例は図1に示す実施例におけるタップ係数制御部701に変更を加えたタップ係数制御部706を使用するものである。このタップ係数制御部706においても、タップ係数制御情報は入力端子Cから係数演算回路73へ入力される。係数演算回路73の出力は係数レジスタ72に接続されている。また、係数レジスタ72の出力とRAM75の入出力はセクタ76に接続されている。セクタ76の出力はフィルタリング部6内の乗算器に接続されている。フィルタリング部6にはベースバンド信号が入力端子Aから入力され、タイミング補償された信号を出力端子Bへ出力する。また、警告信号、モード選択信号及び係数記憶指示信号が入力端子E、F及びGから制御回路71へ入力され、この結果、制御回路71から出力される信号により係数レジスタ72、係数演算回路73、RAM75及びセクタ76が制御される。

【0024】このような構成において、警告信号が入力されていない状態では、係数演算回路73はタップ係数制御情報を基に適応アルゴリズムを用いて最適なタップ係数を計算し、係数レジスタ72へ書き込む。また、セクタ76は係数レジスタ72の出力とフィルタリング部6内の乗算器を接続する。よって、フィルタリング部6では、係数演算回路73で逐次計算され、係数レジスタ72に書き込まれたタップ係数を用いてタイミング補償を行う。ただし、モード選択信号によりタップ係数を記憶するモードを選択し、係数記憶指示信号が入力された場合、セクタ76は係数演算回路73の出力とフィルタ部6を接続すると同時にRAM75にも接続し、係数演算回路73で計算された値をRAM75に記憶す

る。一方、警告信号が入力された場合、係数演算回路73はただちに動作を停止する。この後、モード選択信号の値により、次の二つのうちいずれかの動作を行なう。

- 1) 係数レジスタ72は警告信号入力直前のタップ係数を保持し、セクタ76はそのままの状態を維持する。
- 2) セクタ76はRAM75の出力をフィルタリング部6内の乗算器に接続する。

さらに、フィルタリング部6では、係数レジスタ72またはROM74に記憶されているタップ係数を用いてタイミング補償を行なう。その後、警告信号が解除されれば、本発明は通常の等化器としてタイミング補償を行なう。

【0025】(実施例7) 図7に請求項7に係る発明の実施例を示す。タップ係数制御部7においてタップ係数制御情報は入力端子Cから係数演算回路73へ入力される。係数演算回路73の出力端は係数レジスタ72に接続されている。また、係数レジスタ72の出力端とROM74の出力端、RAM75の入出力端はセクタ76に接続されている。セクタ76の出力端はフィルタリング部6内の乗算器の入力端に接続されている。フィルタリング部6は、ベースバンド信号が入力端Aを介して入力され、タイミング補償された信号を出力端子Bを介して出力する。また、警告信号、モード選択信号及び係数記憶指示信号は、入力端E、F及びGから制御回路71へ入力され、この結果、制御回路71から出力される信号により係数レジスタ72、係数演算回路73、ROM74、RAM75及びセクタ76が制御される。

【0026】このような構成において、警告信号が入力されていない状態では、係数演算回路73はタップ係数制御情報を基に適応アルゴリズムを用いて最適なタップ係数を計算し、係数レジスタ72へ書き込む。また、セクタ76は係数レジスタ72の出力とフィルタリング部6内の乗算器を接続し、フィルタリング部6では、係数演算回路73で逐次計算され、係数レジスタ72に書き込まれるタップ係数を用いてタイミング補償を行なう。ただし、モード選択信号によりタップ係数を記憶するモードを選択し、係数記憶指示信号が入力された場合、セクタ76は係数演算回路73の出力とフィルタリング部6を接続すると同時にRAM75にも接続し、係数演算回路73で計算された値をRAM75に記憶する。一方、警告信号が入力された場合、係数演算回路73はただちに動作を停止する。この後、モード選択信号の値により、次の1)～3)のうちいずれかの動作を行う。

- 1) 係数レジスタ72は警告信号入力直前のタップ係数を保持し、セクタ76はそのままの状態を維持する。
- 2) セクタ76はROM74の出力をフィルタリング部6内の乗算器に接続する。
- 3) セクタ76はRAM75の出力をフィルタリング部6内の乗算器に接続する。

さらに、フィルタリング部6では、係数レジスタ72、

ROM74またはRAM75のうちいずれかに記憶されているタップ係数を用いてタイミング補償を行なう。その後、警告信号が解除されれば、本タイミング補償回路は通常の等化器としてタイミング補償を行う。

【0027】なお、以上説明したタイミング補償回路によれば、タイミング補償だけでなく伝送路における特性劣化、例えば経年変化をも補償することが可能である。

【0028】

【発明の効果】以上説明したように、本発明によるタイミング補償回路によれば、タップ係数発散の警告信号が入力された場合にタップ係数の更新を停止したうえで係数値を固定、初期化、あるいは記憶された最適タップ係数とすることにより、一定値のタップ係数によるタイミング補償を行い、警告信号が解除されたときは通常の等化器として動作することによりタイミング補償を行うものである。タップ係数が発散するような悪条件下でもタップ係数を発散させることなく、しかも、正確にタイミング補償を行うことができるという効果がある。

【図面の簡単な説明】

【図1】 請求項1に係る発明の実施例によるデジタル型タイミング補償回路を例示したブロック図である。

【図2】 請求項2に係る発明の実施例によるデジタル型タイミング補償回路を例示したブロック図である。

【図3】 請求項3に係る発明の実施例によるデジタル型タイミング補償回路を例示したブロック図である。

【図4】 請求項4に係る発明の実施例によるデジタル型タイミング補償回路を例示したブロック図である。

【図5】 請求項5に係る発明の実施例によるデジタル型タイミング補償回路を例示したブロック図である。

【図6】 請求項6に係る発明の実施例によるデジタル型タイミング補償回路を例示したブロック図である。

【図7】 請求項7に係る発明の実施例によるデジタル型タイミング補償回路を例示したブロック図である。

【図8】 従来のタイミング補償回路を使用した復調器の構成図である。

【図9】 従来のタイミング補償回路に用いられているFIR型インターポレーションフィルタの構成図である。

【図10】 従来のタイミング補償回路に用いられているトランスバーサル型自動等化器の構成図である。

【符号の説明】

E 警告信号入力端

F モード選択信号入力端

G 係数記憶指示信号端

6 タイミング補償回路のフィルタリング部

701～707 タイミング補償回路のタップ係数制御部

71 制御回路

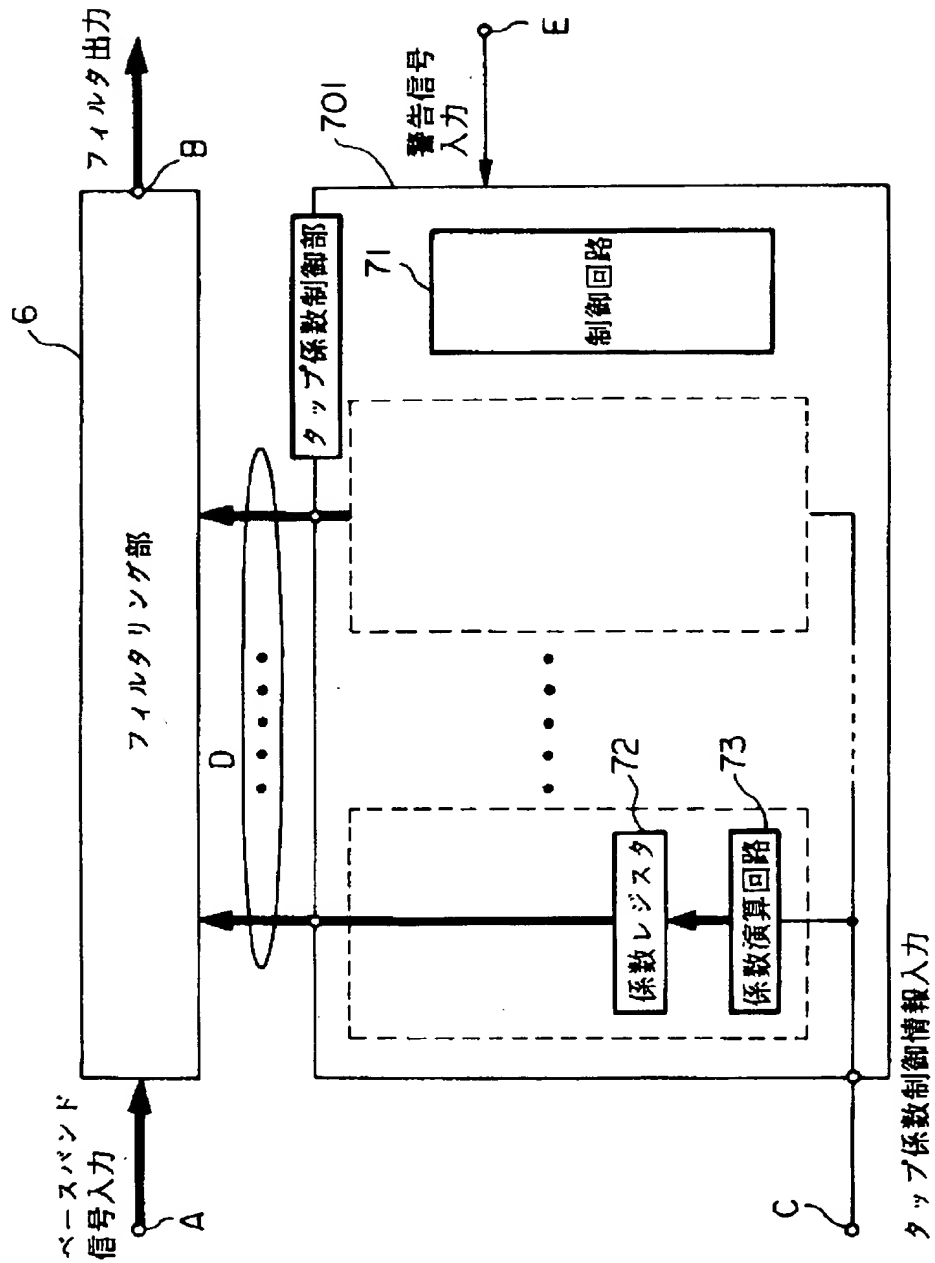
72 係数レジスタ

73 係数演算回路

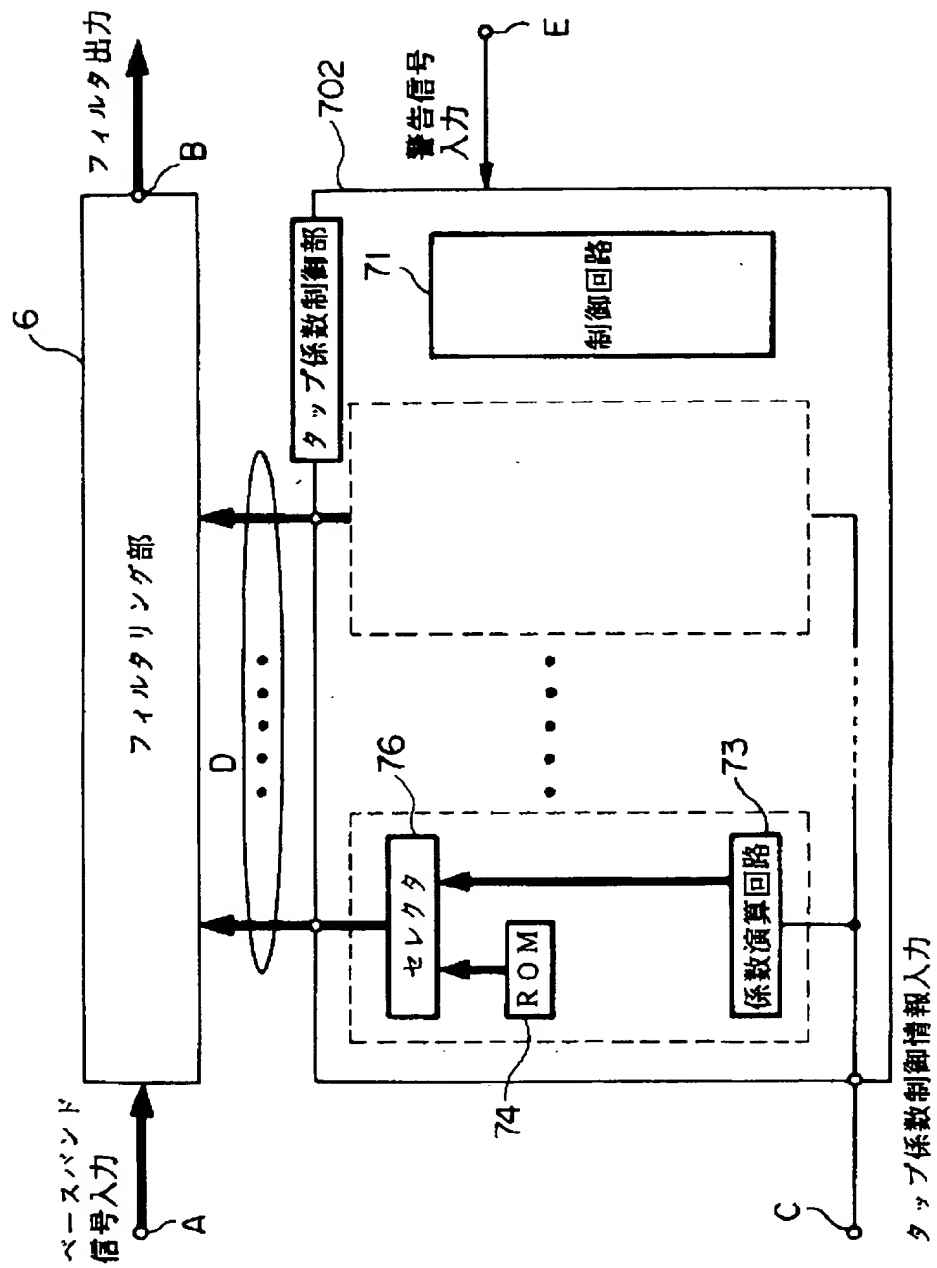
74 ROM
75 RAM

76 セレクタ

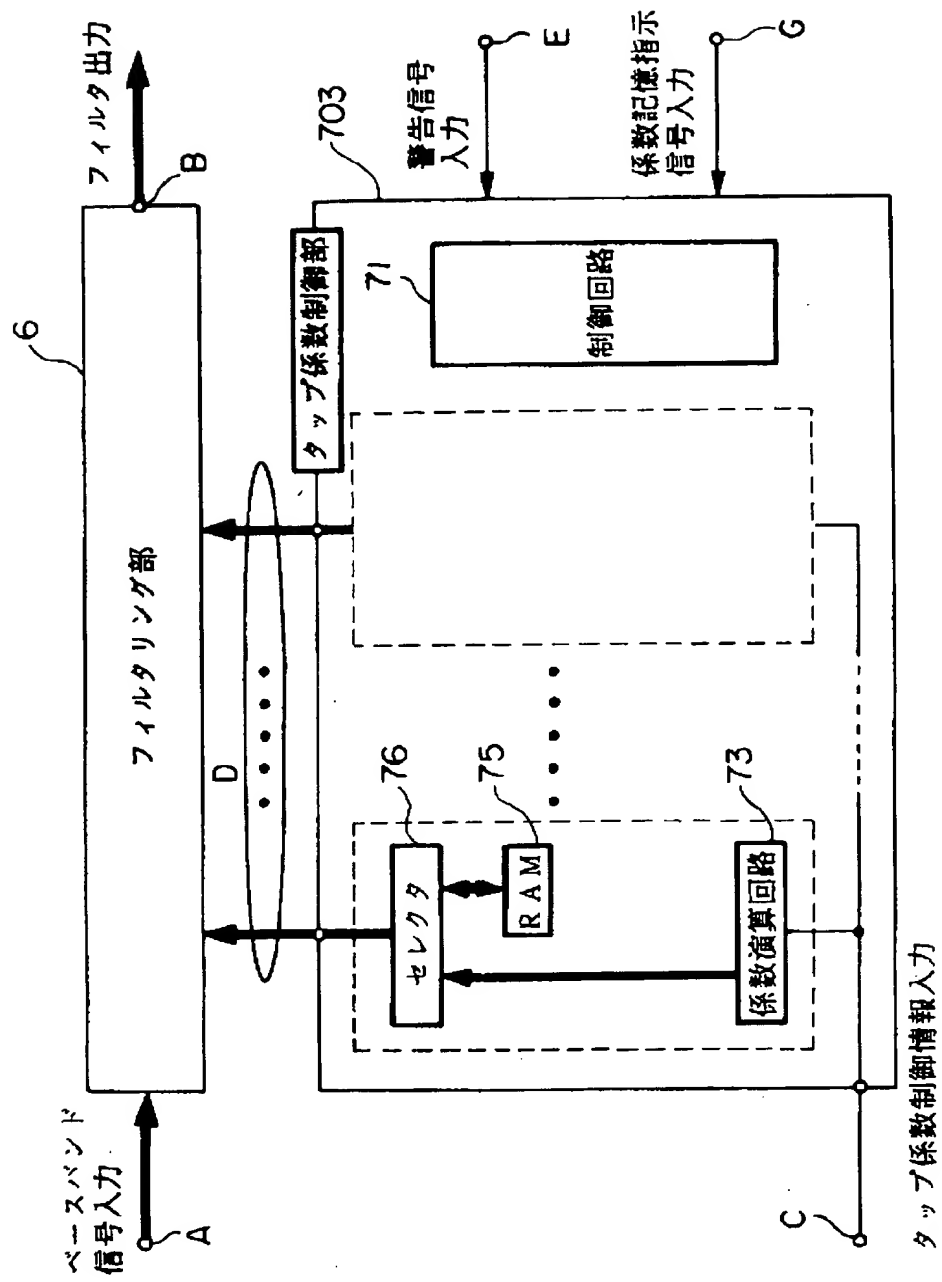
【図1】



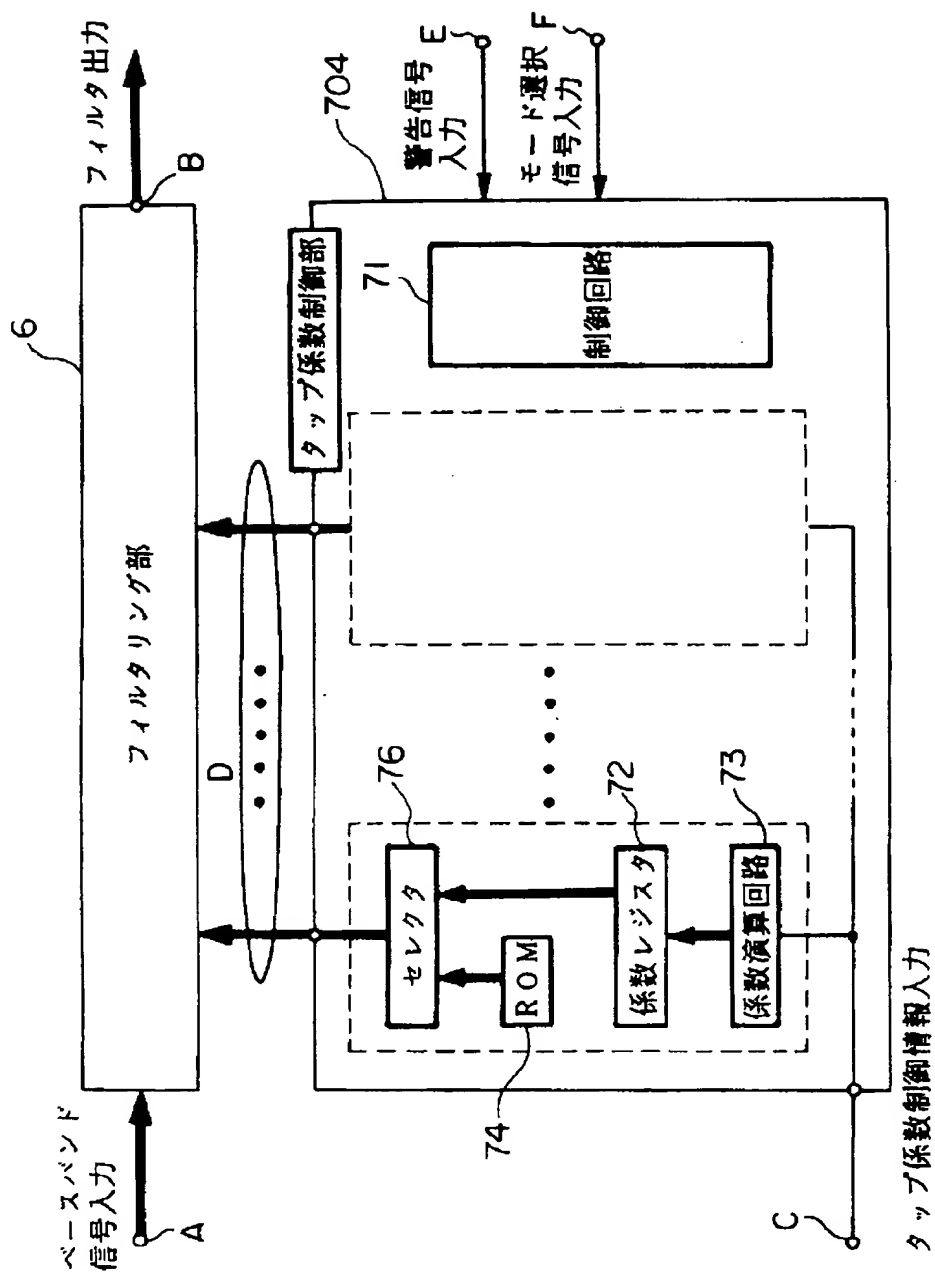
【図2】



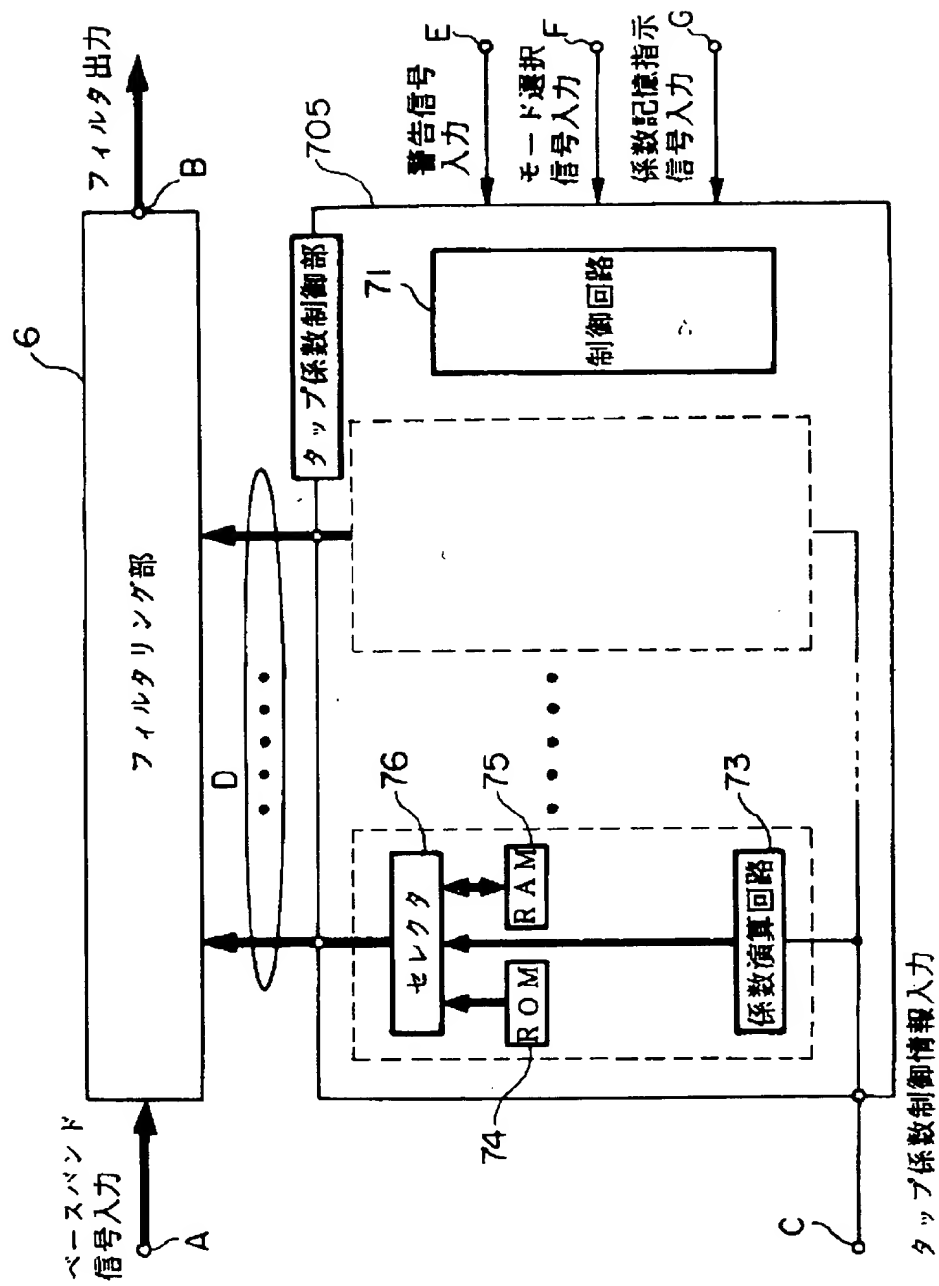
【図3】



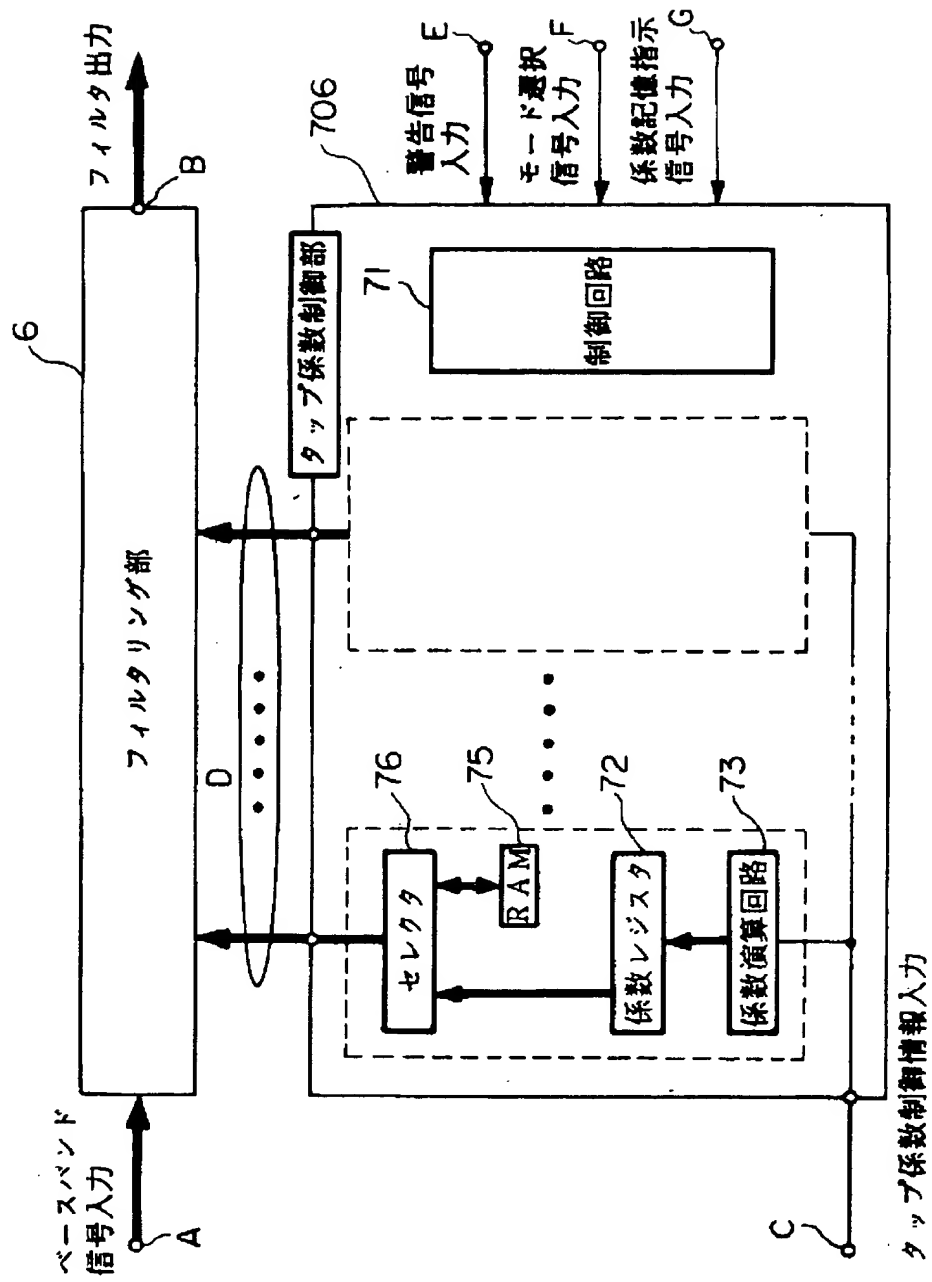
【図4】



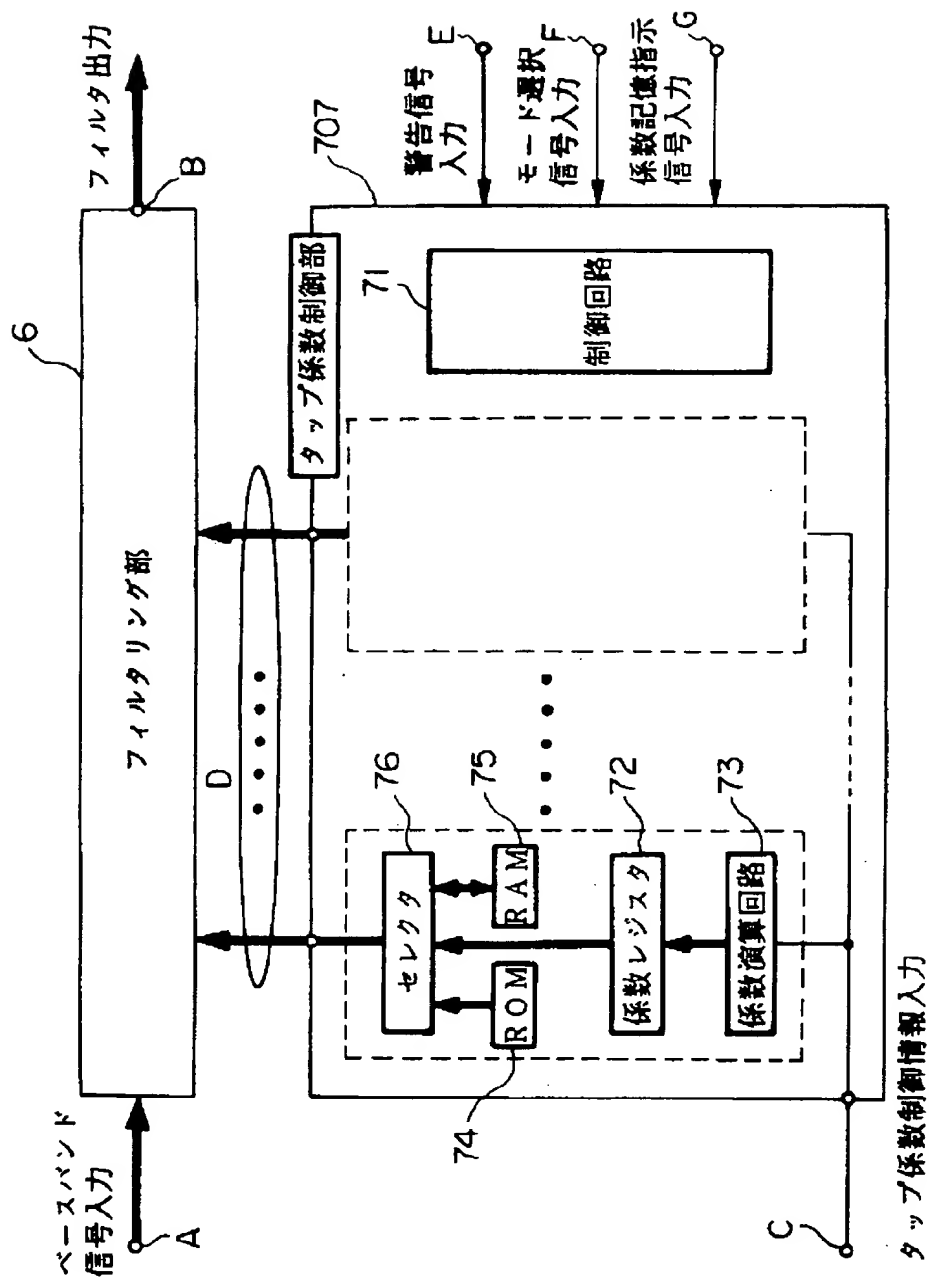
【図 5】



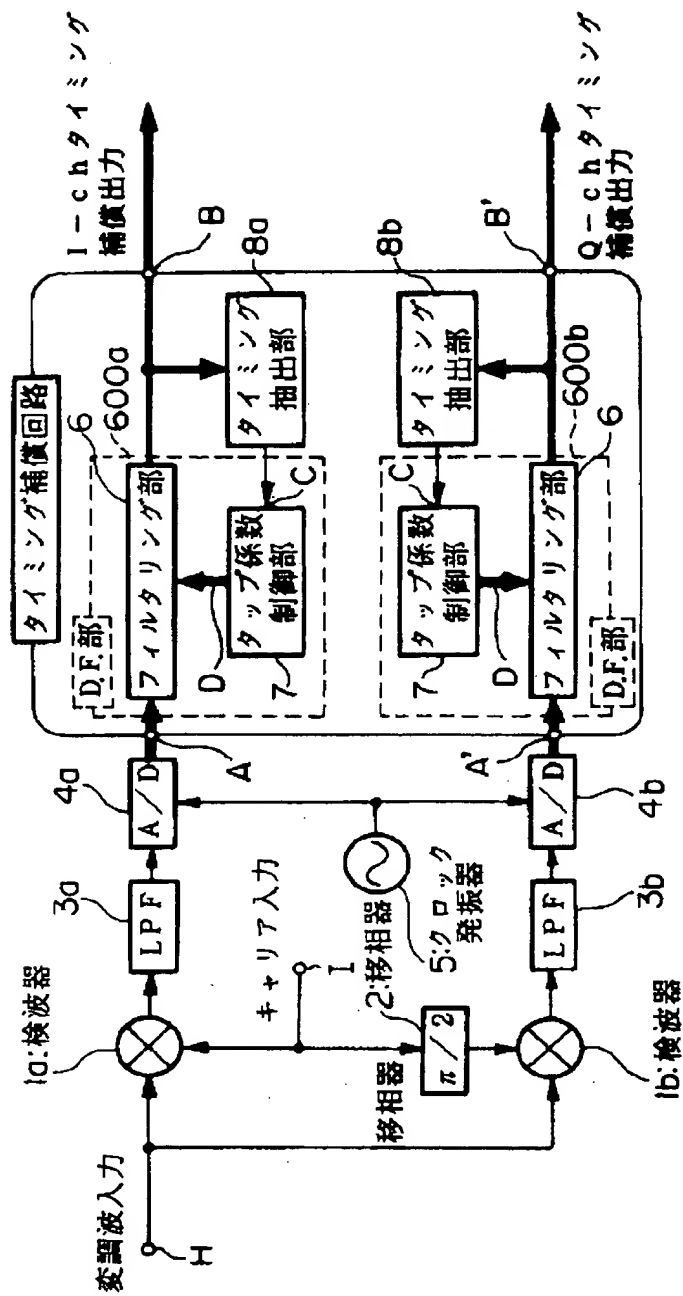
【図 6】



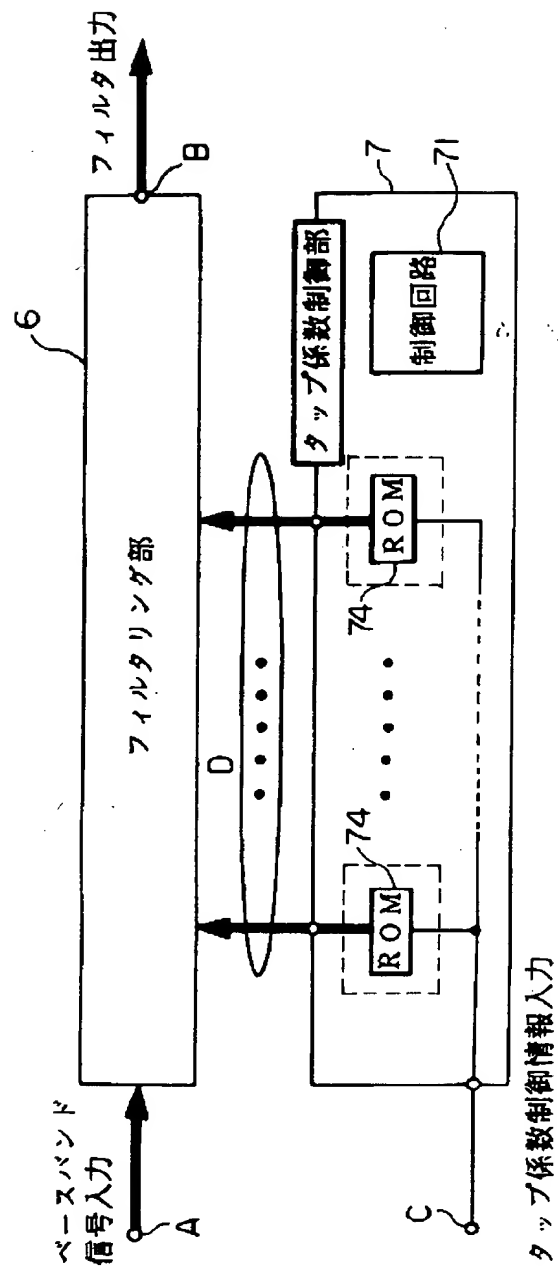
【図7】



【図8】



【図9】



【図10】

